



UNIVERSIDAD AUTÓNOMA DE QUERÉTARO

FACULTAD DE INGENIERÍA  
INGENIERÍA ELECTROMECAÁNICA



CURSO: MECATRÓNICA

PROFESOR: M. I. JOSÉ DE JESÚS RANGEL MAGDALENO

Clave: (Grupo de materias INA)

Semestre: 8°

Carrera en la que se imparte: Electromecánica.

Créditos: 7

**OBJETIVO GENERAL DE LA MATERIA:**

Al finalizar el curso el alumno será capaz de conceptualizar y diseñar mediante los lenguajes de descripción de hardware los circuitos digitales básicos y desarrollar estructuras digitales complejas en aplicaciones mecatrónica.

CONTENIDO POR UNIDADES

Unidad	Nombre
1	INTRODUCCIÓN A LA LOGICA PROGRAMABLE
2	INTRODUCCIÓN AL VHDL
3	FUNCIONES COMBINACIONALES CON VHDL
4	LOGICA Y CIRCUITOS SECUENCIALES CON VHDL
5	TECNICAS DE DISEÑO
6	DISEÑO DE SISTEMAS DIGITALES

**UNIDAD 1: INTRODUCCIÓN A LA LÓGICA PROGRAMABLE**

- 1.1 Memorias de solo lectura
- 1.2 Arreglos lógicos programables
- 1.3 Arreglos lógicos programables en campo
- 1.4 Síntesis

**UNIDAD 2: INTRODUCCIÓN AL VHDL**

- 2.1 Interfaz gráfica del usuario
- 2.2 Elementos básicos de VHDL

**UNIDAD 3: FUNCIONES COMBINACIONALES CON VHDL**

- 3.1 Conmutadores
- 3.2 Codificadores y Decodificadores
- 3.3 Circuitos aritméticos
- 3.4 Comparadores
- 3.5 Verificador de paridad
- 3.6 Unidades lógico aritméticas

## **UNIDAD 4: LÓGICA Y CIRCUITOS SECUENCIALES CON VHDL**

- 4.1 Elementos de memoria
- 4.2 Máquinas de Estados Finitos
- 4.3 Contadores
- 4.4 Registros

## **UNIDAD 5: TECNICAS DE DISEÑO**

- 5.1 Diseño jerárquico
- 5.2 Diseño descriptivo del comportamiento
- 5.3 Diseño para la síntesis
- 5.4 Diseño para la prueba

## **UNIDAD 6: DISEÑO DE SISTEMAS DIGITALES**

- 6.1 Definiciones Básicas
- 6.2 Interfaces
- 6.3 Temporizadores
- 6.4 Frecuencímetros
- 6.5 Convertidores A/D y D/A

### **Bibliografía**

1. Romero, R., *Electrónica Digital y Lógica Programable*, Universidad de Guanajuato, 2007
2. Morris, M., *Fundamentos de diseño lógico y computadoras*, Printice Hall, 1998.
3. Douglas J. Smith, *HDL Chip Design: A Practical guide for Designing, Synthesizing & Simulating Asics & FPGAs Using HHDL or Verilog*, Doone Pubis, 1996.

### **Criterio de Evaluación**

Primer Examen Parcial	20%
Segundo Examen Parcial	20%
Tercer Examen Parcial	20%
Tareas y Prácticas	20%
Proyecto Final	20%