

**Universidad de Guanajuato**  
**FIMEE**

**Departamento de Electrónica**

Maestría en Ingeniería Eléctrica

Materia: **Tópico Selecto de Ingeniería Eléctrica**

Tema: **Procesamiento de Señales en Hardware**

Periodo: **Invierno 2007**

Profesor: **Dr. René de Jesús Romero Troncoso**

---

Requisitos: **Sistemas Digitales**  
**Procesamiento Digital de Señales**

Duración: **30 Hrs.**

Descripción general. El procesamiento de señales en hardware consiste en el diseño y realización de algoritmos numéricos en FPGA (*Field Programmable Gate Array*, arreglo de compuertas programables en campo) haciendo uso de estructuras digitales seriales, iterativas y paralelas mediante la descripción HDL (*Hardware Description Language*, lenguaje descriptivo de hardware).

Justificación. El estado del arte en el diseño de algoritmos numéricos a ser realizados directamente en circuitos integrados se ha enfocado en los últimos tiempo hacia los FPGA. Soluciones tradicionales como microprocesadores o procesadores digitales de señales DSP (*Digital Signal Processor*) no cumplen con las especificaciones de resolución y/o velocidad que requieren algunos procesos digitales para el cómputo en línea de las acciones y resultados de los mismos. Estos procesadores de propósito general tienen la desventaja de estar limitados por la arquitectura cerrada de su diseño a realizar procesamiento secuencial, por otro lado, los FPGA no tienen esta limitante y pueden ser diseñadas las estructuras digitales con técnicas alternativas para incrementar la velocidad de cómputo y ajustar la resolución requerida, gracias a la reconfigurabilidad de estos dispositivos. Resulta muy importante conocer y manejar estas técnicas de diseño estructural con FPGA para poder plantear soluciones eficientes a los procesos digitales de señales relacionados con las áreas de investigación del Posgrado.

Objetivo general. Conocer y manejar las técnicas de diseño HDL para la realización física de algoritmos eficientes en tiempo y recursos de procesamiento digital de señales en FPGA.

Metodología. Exposición teórica ante grupo (30 Hrs.) con desarrollo de prácticas (4 prácticas) y proyecto final.

Herramientas de soporte. Durante el desarrollo del curso se hará uso del entorno CAD/CAE de diseño y simulación HDL y la plataforma de síntesis Xilinx Spartan-3. Adicionalmente se requiere un módulo de adquisición de datos, compatible con la plataforma Spartan.

---

**Temario sintético.**

---

- 1 Introducción (3 Hrs.)**
  - 1.1 Tecnología FPGA
  - 1.2 El procesamiento digital de señales
  - 1.3 Procesamiento de señales en hardware
  - 1.4 Revisión bibliográfica y del estado del arte
  
- 2 Algoritmos de procesamiento digital de señales (9 Hrs.)**
  - 2.1 Transformadas lineales no recursivas
  - 2.2 Transformadas lineales recursivas
  - 2.3 Algoritmos polinomiales
  - 2.4 Raíz cuadrada y división
  - 2.5 Funciones trascendentales
  
- 3 Procesamiento de señales en hardware (9 Hrs.)**
  - 3.1 Procesamiento serial
  - 3.2 Procesamiento iterativo
  - 3.3 Procesamiento paralelo
  - 3.4 Unidad procesadora lineal
  - 3.5 Unidad procesadora polinomial
  - 3.6 Tablas de consulta de datos
  
- 4 Ejemplos de diseño (9 Hrs.)**
  - 4.1 Filtrado digital FIR
  - 4.2 Filtrado digital IIR
  - 4.3 Ajuste polinomial
  - 4.4 Tabla de consulta de datos

---

**Criterios de evaluación.**

Examen escrito	25%
Tareas y prácticas	25%
Proyecto final	50%

---

**Bibliografía:**

[1] R. de J. Romero Troncoso, *Sistemas Digitales con VHDL*, Ed. Legaria, México, 2004.

[2] K. C. Chang, *Digital Systems Design with VHDL and Synthesis*, An Integrated Approach, IEEE Computer Society Press, CA, 2001.